



# AiP63P0104 I/O 型 8 位单片机

## 产品说明书

说明书发行履历:

版本	发行时间	新制/修订内容
2014-03-A1	2014-03	新制
2017-10-B1	2017-10	修订



## 1、概述

AiP63P0104 是一款价廉、高速，抗干扰性强，基于 8 位 OTP 的 CMOS 微控制器。它使用精简指令集构架带有 47 条指令。除程序跳转双周期指令外，其他指令均为单周期指令。易于使用和记忆的指令能有效的缩短开发时间。

AiP63P0104 包含上电复位，掉电复位，上电复位定时器，振荡启动定时器，看门狗定时器，EPROM，SRAM，三态 I/O 口，I/O 口上拉、下拉、漏极开路控制，睡眠节能模式，2 个实时可编程时钟/计数器，中断，IROUT，SPI，睡眠唤醒，EPROM 配置字保护。四种振荡配置可选，包括节能振荡、低成本 RC 振荡。

AiP63P0104 有 4k\*13 位可编程程序存储器，能够直接、间接访问他的寄存器组，数据存储器。所有的特殊功能寄存器包括 PC 已置入数据存储器。

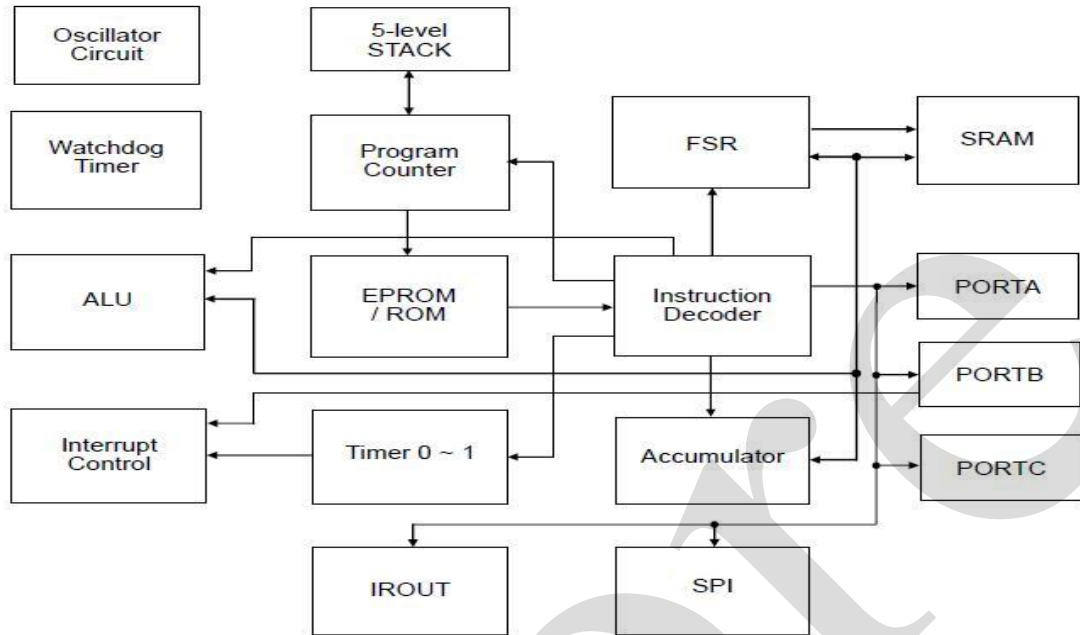
其主要特点如下：

- 49条单字节指令
- 除程序跳转双周期的指令外，其他指令均为单周期指令
- 整个ROM区域能被FGOTO、FCALL指令访问
- 8位数据总线，5级堆栈，4K\*13位ROM容量，144\*8位通用寄存器（SRAM）
- 运行速率：直流20兆时钟输入，直流100纳秒指令周期
- 直接寻址、间接寻址两种数据访问模式
- 带有8位可编程预分频的8位实时时钟/定时器（Timer0）
- 带有2位可编程预分频和周期设置的8位实时时钟/定时器（Timer1）
- 内置上电复位(POR)
- 内置低压检测(LVD)的掉电复位(BOR)
- 上电复位定时器(PWRT)和晶振启动定时器(OST)
- 三组I/O口，IOA、IOB和IOC可独立控制
- 16个软件可控制上拉的引脚：Port B/Port C
- 8个软件可控制下拉的引脚：
  - IOA0~3/IOB0~3
- 2个软件可控制漏极开路引脚：IOC6/IOC7
- 可编程频率的IR输出通道
- SPI通信接口
- 4个内部中断源：定时器0溢出，定时器1匹配，IROUT，SPI；两个外部中断源：INT0脚和INT1脚
- 可从睡眠模式被唤醒通过 Port B/IOC4/IOC5输入下降沿变化
- 节能睡眠模式
- 可编程配置字保护
- 可选振荡配置
  - -ERC：外部电阻/电容振荡
  - -HF：高频晶体振荡
  - -XT：晶体振荡
  - -LF：低频晶体振荡
  - -IRC：内部电阻/电容振荡
- 宽操作电压范围
  - -EPROM：2.3V to 5.5V



## 2、功能框图及引脚说明

### 2.1、功能框图



### 2.2、引脚排列图

#### 2.2.1、Type A 引脚图

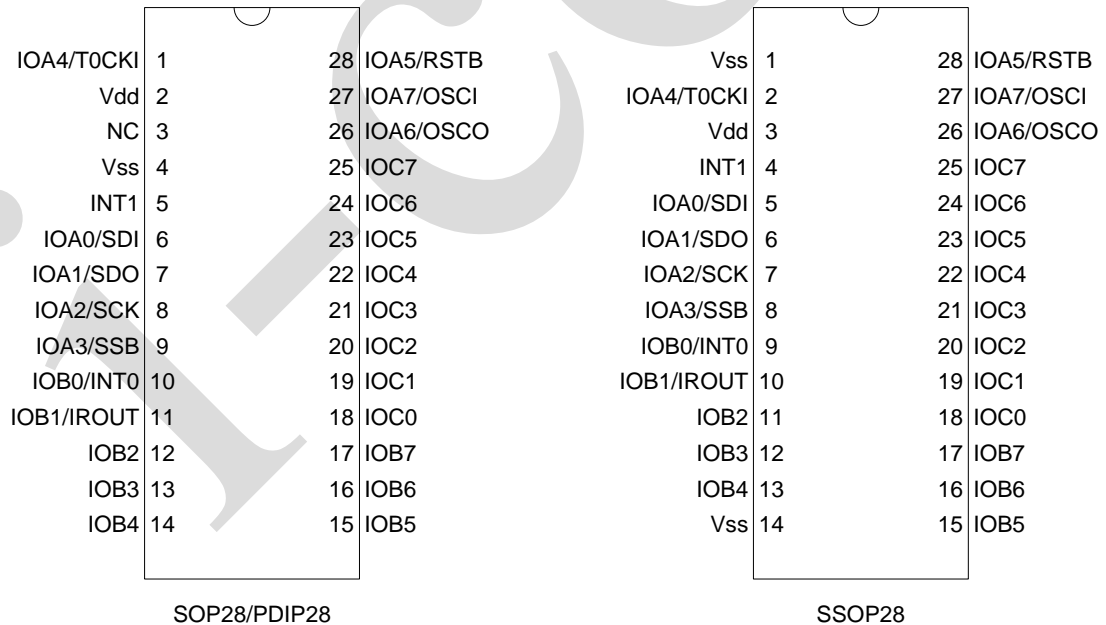


图 1 、PDIP28/SOP28/SSOP28



2.2.2、Type B 引脚图

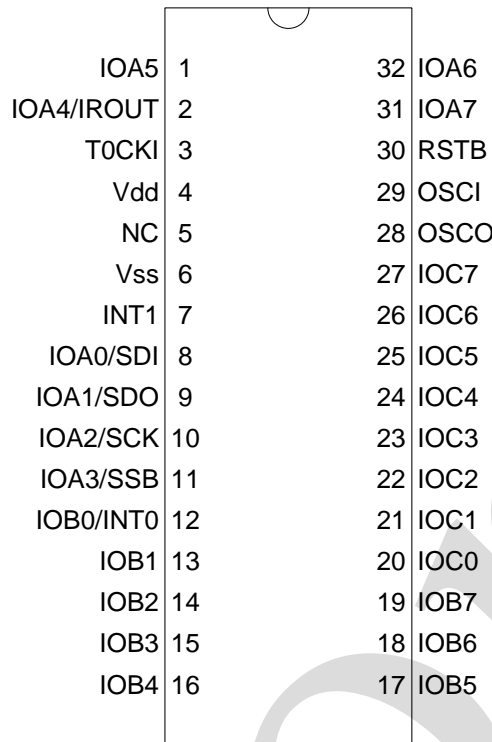


图 2、PDIP32/SOP32

2.3、引脚说明及结构原理图

2.3.1、Type A 引脚说明

引脚名称	I/O	描述
IOA0~IOA7	I/O	IOA0~IOA4, IOA6 ~ IOA7为双向I/O, IOA5单向输入脚
IOB0~IOB7	I/O	双向I/O带有系统唤醒功能
IOC0~IOC7	I/O	双向I/O
INT0	I	外部中断0输入
INT1	I	外部中断1输入下降沿触发
SDI	I	SPI串行数据输入口
SDO	O	SPI串行数据输出口
SCK	I/O	SPI串行时钟
SSB	I	SPI从模式选择(低有效)
IROUT	O	IR输出脚
TOCKI	I	外部时钟输入到定时器0, 无使用时接地或电源以减小当前电流
RSTB	I	系统清零输入, 低使能复位。
OSCI	I	晶振输入口(晶振模式) 时钟输入口(RC模式)
OSCO	O	晶振输出口(晶振模式)



		输出OSCI的4分频反映指令周期频率 (RC模式)
Vdd	-	电源正极
Vss	-	地

注: I=输入, O=输出, I/O=双向

### 2.3.2、Type B 引脚说明

引脚名称	I/O	描述
IOA0~IOA7	I/O	IOA6~IOA7为双向I/O
IOB0~IOB7	I/O	双向I/O带有系统唤醒功能
IOC0~IOC7	I/O	双向I/O
INT0	I	外部中断0输入
INT1	I	外部中断1输入下降沿触发
SDI	I	SPI串行数据输入口
SDO	O	SPI串行数据输出口
SCK	I/O	SPI串行时钟
SSB	I	SPI从模式选择 (低有效)
IROUT	O	IR输出脚
TOCKI	I	外部时钟输入到定时器0, 无使用时接地或电源以减小当前电流
RSTB	I	系统清零输入, 低使能复位。
OSCI	I	晶振输入口 (晶振模式) 时钟输入口 (RC模式)
OSCO	O	晶振输出口 (晶振模式) 输出OSCI的4分频反映指令周期频率 (RC模式)
Vdd	-	电源正极
Vss	-	地

### 3、电气特性

符号	参数描述	条件	最小值	典型值	最大值	单位
FHF	X'tal 振荡范围	HF mood, Vdd=5V	1		20	MHZ
		HF mood, Vdd=3V	1		15	
FXT	X'tal 振荡范围	XT mood, Vdd=5V	0.5		10	MHZ
		XT mood, Vdd=3V	0.5		10	
FLF	X'tal 振荡范围	LF mood, Vdd=5V	32		4000	KHZ
		LF mood, Vdd=3V	32		1000	
FERC	RC 振荡范围	ERC mood, Vdd=5V	DC		15	KHZ
		ERC mood, Vdd=3V	DC		7	
VIH	输入高电平电压	With schmitter				V

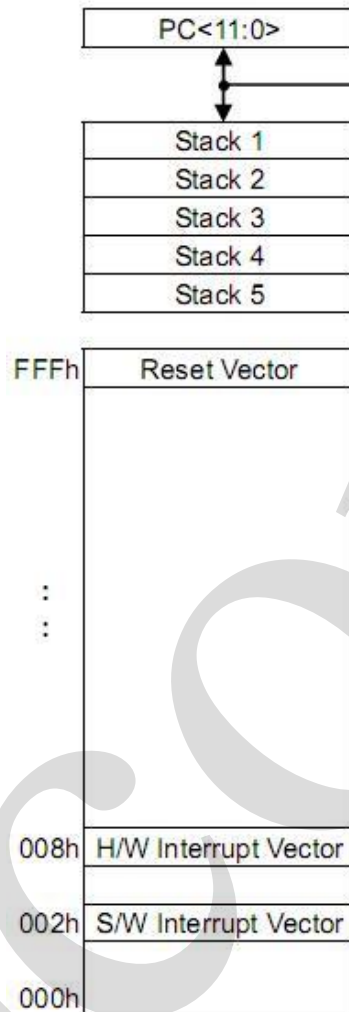


		I/O ports, Vdd=5V	2.2			
		RSTB pin, Vdd=5V	4.2			
		I/O ports, Vdd=3V				
		RSTB pin, Vdd=3V				
		Without schmitter				
		I/O ports, Vdd=5V	2			
		RSTB pin, Vdd=5V	4.2			
		I/O ports, Vdd=3V				
		RSTB pin, Vdd=3V				
VIL	输入低电平电压	With schmitter				
		I/O ports, Vdd=5V			0.8	
		RSTB pin, Vdd=5V			1	
		I/O ports, Vdd=3V				
		RSTB pin, Vdd=3V				
		Without schmitter				
		I/O ports, Vdd=5V			1	
		RSTB pin, Vdd=5V			1	
		I/O ports, Vdd=3V				
		RSTB pin, Vdd=3V				
IOH	IROUT:HEAVY	Vdd=5V,VOH=3.6V				mA
IOH	IROUT:NORM	Vdd=5V,VOH=3.6V				mA
IOL	IROUT: HEAVY	Vdd=5V,VOL=0.6V				mA
IOL	IROUT: NORM	Vdd=5V,VOL=0.6V				mA
VOH	I/O 输出高电平	IOH=-5.4mA,Vdd=5V	3.6			V
VOL	I/O 输出低电平	IOL=8.7mA,Vdd=5V			0.6	V
IPH	上拉电流	输入 Vss,Vdd=5V		-45		uA
IPD	下拉电流	输入 Vdd,Vdd=5V		35		uA
IWDT	WDT 电流	Vdd=5V		5	8	uA
		Vdd=3V		1	2	
TWDT	WDT 周期	Vdd=3V		19.2		mS
		Vdd=4V		17.3		
		Vdd=5V		16.1		
ILVDT	LVDT 电流	Vdd=5V LVDT=3.6V		1.9	2.9	uA
		Vdd=5V LVDT=2V		2.1	3.2	
		Vdd=3V LVDT=2V		0.7	1.1	
ISB	睡眠电流	睡眠模式,Vdd=5V,WDT 使能		5.5		uA
		睡眠模式,Vdd=5V,WDT 关闭		0.2		
		睡眠模式,Vdd=3V,WDT 使能		1		
		睡眠模式,Vdd=3V,WDT 关闭		0.1		



## 4、功能介绍

### 4.1、程序存储器分布图和堆栈





4.2、数据存储

TABLE 1、寄存器列表

FSR<7:6> Address	Description Memory back to address in Bank 0						
	0 0 Bank 0	0 1 Bank 1	1 0 Bank 2	1 1 Bank 3			
00h	INDF	Memory back to address in Bank 0					
01h	TMR0						
02h	PCL						
03h	STATUS						
04h	FSR						
05h	PORTA						
06h	PORTB						
07h	PORTC						
08h	PCON						
09h	WUCON						
0Ah	PCHBUF						
0Bh	PDCON				T1CON*	PDCON	SPIRCB*
0Ch	BPHCON				TMR1*	BPHCON	SPITXB*
0Dh	CPHCON	PR1*	CPHCON	SPISTAT*			
0Eh	INTEN	.*	INTEN	SPICON*			
0Fh	INTFLAG	Memory back to address in Bank 0					
10h   1Fh	General Purpose Registers						
20h   3Fh	General Purpose Registers				General Purpose Registers	General Purpose Registers	General Purpose Registers

N/A	OPTION
05h	IOSTA
06h	IOSTB
07h	IOSTC
0Ch	IRCON
0Dh	IRCYCLE
0Eh	IRDUTY
0Fh	IRCPR

TABLE 2、OPTION/OPTINOR 与 IOST/IOSTR 指令控制的寄存器

Address	Name	B7	B6	B5	B4	B3	B2	B1	B0
N/A (r/w)	OPTION	*	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0
05h (r/w)	IOSTA	Port A I/O Control Register							
06h (r/w)	IOSTB	Port B I/O Control Register							
07h (r/w)	IOSTC	Port C I/O Control Register							
0Ch (r/w)	IRCON	IREN	IROEN	IRCEN	IRSC	-	-	IRPS1	IRPS0
0Dh (r/w)	IRCYCLE	IRC7	IRC6	IRC5	IRC4	IRC3	IRC2	IRC1	IRC0
0Eh (r/w)	IRDUTY	IRD7	IRD6	IRD5	IRD4	IRD3	IRD2	IRD1	IRD0
0Fh (r/w)	IRCPR	IRCPR7	IRCPR6	IRCPR5	IRCPR4	IRCPR3	IRCPR2	IRCPR1	IRCPR0





TABLE3、工作寄存器列表

Address	Name	B7	B6	B5	B4	B3	B2	B1	B0
Unbanked									
00h (r/w)	INDF	Uses contents of FSR to address data memory (not a physical register)							
01h (r/w)	TMR0	8-bit real-time clock/counter							
02h (r/w)	PCL	Low order 8 bits of PC							
03h (r/w)	STATUS	GP2	GP1	GP0	TO	PD	Z	DC	C
04h (r/w)	FSR	RP1	RP0	Indirect data memory address pointer					
05h (r/w)	PORTA	IOA7	IOA6	IOA5	IOA4	IOA3	IOA2	IOA1	IOA0
06h (r/w)	PORTB	IOB7	IOB6	IOB5	IOB4	IOB3	IOB2	IOB1	IOB0
07h (r/w)	PORTC	IOC7	IOC6	IOC5	IOC4	IOC3	IOC2	IOC1	IOC0
08h (r/w)	PCON	WDTE	EIS	LVDTE	ROC	-	-	ODC67	/WUC45
09h (r/w)	WUCON	/WUB7	/WUB6	/WUB5	/WUB4	/WUB3	/WUB2	/WUB1	/WUB0
0Ah (r/w)	PCHBUF	-	-	-	-	Upper 4 bits Buffer of PC			
Bank 0, 2									
0Bh (r/w)	PDCON	/PDB3	/PDB2	/PDB1	/PDB0	/PDA3	/PDA2	/PDA1	/PDA0
0Ch (r/w)	BPHCON	/PHB7	/PHB6	/PHB5	/PHB4	/PHB3	/PHB2	/PHB1	/PHB0
0Dh (r/w)	CPHCON	/PHC7	/PHC6	/PHC5	/PHC4	/PHC3	/PHC2	/PHC1	/PHC0
0Eh (r/w)	INTEN	GIE	SPIIE	IRIE	-	INT1IE	INT0IE	T1IE	T0IE
Bank 1									
0Bh (r/w)	T1CON	-	-	-	-	-	T1ON	T1P1	T1P0
0Ch (r/w)	TMR1	TMR17	TMR16	TMR15	TMR14	TMR13	TMR12	TMR11	TMR10
0Dh (r/w)	PR1	PR17	PR16	PR15	PR14	PR13	PR12	PR11	PR10
0Eh (r/w)	-	Unimplemented, read as "0"s							
Bank 3									
0Bh (r)	SPIRCB	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0
0Ch (r/w)	SPITXB	TX7	TX6	TX5	TX4	TX3	TX2	TX1	TX0
0Dh (r/w)	SPISTAT	DORD	SDOS	-	-	SDOOD	SCKOD	-	RCBF
0Eh (r/w)	SPICON	CKEDG	SPION	RCOV	SSE	-	SPIM2	SPIM1	SPIM0
Unbanked									
0Fh (r/w)	INTFLAG	-	SPIIF	IRIF	-	INT1IF	INT0IF	T1IF	T0IF



## 5、指令集

Mnemonic, Operands	Description	Operation	Cycles	Status Affected
BCR R, bit	Clear bit in R	$0 \rightarrow R\langle b \rangle$	1	-
BSR R, bit	Set bit in R	$1 \rightarrow R\langle b \rangle$	1	-
BTRSC R, bit	Test bit in R, Skip if Clear	Skip if $R\langle b \rangle = 0$	1/2/3 <sup>(1)</sup>	-
BTRSS R, bit	Test bit in R, Skip if Set	Skip if $R\langle b \rangle = 1$	1/2/3 <sup>(1)</sup>	-
NOP	No Operation	No operation	1	-
CLRWDT	Clear Watchdog Timer	00h $\rightarrow$ WDT, 00h $\rightarrow$ WDT prescaler	1	$\overline{TO}$ , $\overline{PD}$
OPTION	Load OPTION register	ACC $\rightarrow$ OPTION	1	-
OPTIONR	Read OPTION register	OPTION $\rightarrow$ ACC	1	-
SLEEP	Go into power-down mode	00h $\rightarrow$ WDT, 00h $\rightarrow$ WDT prescaler	1	$\overline{TO}$ , $\overline{PD}$
IOST R	Load IOST register	ACC $\rightarrow$ IOST register	1	-
IOSTR R	Read IOST register	IOST register $\rightarrow$ ACC	1	-
TBL	Table look-up	PC<7:0> + ACC $\rightarrow$ PC<7:0> PC<9:8> unchanged PCHBUF<3:2> $\rightarrow$ PC<11:10>	1	C, DC, Z
DAA	Adjust ACC's data format from HEX to DEC after any addition operation	ACC(hex) $\rightarrow$ ACC(dec)	1	C
DAS	Adjust ACC's data format from HEX to DEC after any subtraction operation	ACC(hex) $\rightarrow$ ACC(dec)	1	-
INT	S/W interrupt	PC + 1 $\rightarrow$ Top of Stack, 002h $\rightarrow$ PC	2	-
RETURN	Return from subroutine	Top of Stack $\rightarrow$ PC	2	-
RETFIE	Return from interrupt, set GIE bit	Top of Stack $\rightarrow$ PC, 1 $\rightarrow$ GIE	2	-
CLRA	Clear ACC	00h $\rightarrow$ ACC	1	Z
CLRR R	Clear R	00h $\rightarrow$ R	1	Z
MOVAR R	Move ACC to R	ACC $\rightarrow$ R	1	-
MOVR R, d	Move R	R $\rightarrow$ dest	1	Z
DECR R, d	Decrement R	R - 1 $\rightarrow$ dest	1	Z
DECRSZ R, d	Decrement R, Skip if 0	R - 1 $\rightarrow$ dest, Skip if result = 0	1/2/3 <sup>(1)</sup>	-
INCR R, d	Increment R	R + 1 $\rightarrow$ dest	1	Z
INCRSZ R, d	Increment R, Skip if 0	R + 1 $\rightarrow$ dest, Skip if result = 0	1/2/3 <sup>(1)</sup>	-
ADDAR R, d	Add ACC and R	R + ACC $\rightarrow$ dest	1	C, DC, Z
SUBAR R, d	Subtract ACC from R	R - ACC $\rightarrow$ dest	1	C, DC, Z
ADCAR R, d	Add ACC and R with Carry	R + ACC + C $\rightarrow$ dest	1	C, DC, Z
SBCAR R, d	Subtract ACC from R with Carry	R + $\overline{ACC}$ + C $\rightarrow$ dest	1	C, DC, Z
ANDAR R, d	AND ACC with R	ACC and R $\rightarrow$ dest	1	Z
IORAR R, d	Inclusive OR ACC with R	ACC or R $\rightarrow$ dest	1	Z
XORAR R, d	Exclusive OR ACC with R	R xor ACC $\rightarrow$ dest	1	Z



Mnemonic, Operands	Description	Operation	Cycles	Status Affected
COMR R, d	Complement R	$\bar{R} \rightarrow \text{dest}$	1	Z
RLR R, d	Rotate left R through Carry	$R\langle 7 \rangle \rightarrow C$ , $R\langle 6:0 \rangle \rightarrow \text{dest}\langle 7:1 \rangle$ , $C \rightarrow \text{dest}\langle 0 \rangle$	1	C
RRR R, d	Rotate right R through Carry	$C \rightarrow \text{dest}\langle 7 \rangle$ , $R\langle 7:1 \rangle \rightarrow \text{dest}\langle 6:0 \rangle$ , $R\langle 0 \rangle \rightarrow C$	1	C
SWAPR R, d	Swap R	$R\langle 3:0 \rangle \rightarrow \text{dest}\langle 7:4 \rangle$ , $R\langle 7:4 \rangle \rightarrow \text{dest}\langle 3:0 \rangle$	1	-
MOVIA I	Move Immediate to ACC	$I \rightarrow \text{ACC}$	1	-
ADDIA I	Add ACC and Immediate	$I + \text{ACC} \rightarrow \text{ACC}$	1	C, DC, Z
SUBIA I	Subtract ACC from Immediate	$I - \text{ACC} \rightarrow \text{ACC}$	1	C, DC, Z
ANDIA I	AND Immediate with ACC	$\text{ACC and } I \rightarrow \text{ACC}$	1	Z
IORIA I	OR Immediate with ACC	$\text{ACC or } I \rightarrow \text{ACC}$	1	Z
XORIA I	Exclusive OR Immediate to ACC	$\text{ACC xor } I \rightarrow \text{ACC}$	1	Z
RETIA I	Return, place Immediate in ACC	$I \rightarrow \text{ACC}$ , Top of Stack $\rightarrow \text{PC}$	2	-
BANK I	Move Immediate to memory bank bits	$I \rightarrow \text{RP}\langle 1:0 \rangle$	1	-
PAGE I	Move Immediate to program page bits	$I \rightarrow \text{PCHBUF}\langle 3:2 \rangle$	1	-
CALL I	Call subroutine	$\text{PC} + 1 \rightarrow \text{Top of Stack}$ , $I \rightarrow \text{PC}\langle 9:0 \rangle$ $\text{PCHBUF}\langle 3:2 \rangle \rightarrow \text{PC}\langle 11:10 \rangle$	2	-
GOTO I	Unconditional branch	$I \rightarrow \text{PC}\langle 9:0 \rangle$ $\text{PCHBUF}\langle 3:2 \rangle \rightarrow \text{PC}\langle 11:10 \rangle$	2	-
FCALL I	Call subroutine	$\text{PC} + 1 \rightarrow \text{Top of Stack}$ , $I \rightarrow \text{PC}\langle 11:0 \rangle$ $I\langle 11:10 \rangle \rightarrow \text{PCHBUF}\langle 3:2 \rangle$	3	-
FGOTO I	Unconditional branch	$I \rightarrow \text{PC}\langle 11:0 \rangle$ $I\langle 11:10 \rangle \rightarrow \text{PCHBUF}\langle 3:2 \rangle$	3	-

注: 1、2 cycles for skip, else 1 cycle. (3 cycles if skip and followed by a 2-word instruction ALL/FGOTO)

2、bit : Bit address within an 8-bit register R

R : Register address (00h to 3Fh)

I : Immediate data

ACC : Accumulator

d : Destination select;

=0 (store result in ACC)

=1 (store result in file register R)

dest : Destination

PC : Program Counter

PCHBUF : High Byte Buffer of Program Counter



---

WDT : Watchdog Timer Counter

GIE : Global interrupt enable bit

TO : Time-out bit

PD : Power-down bit

C : Carry bit

DC : Digital carry bit

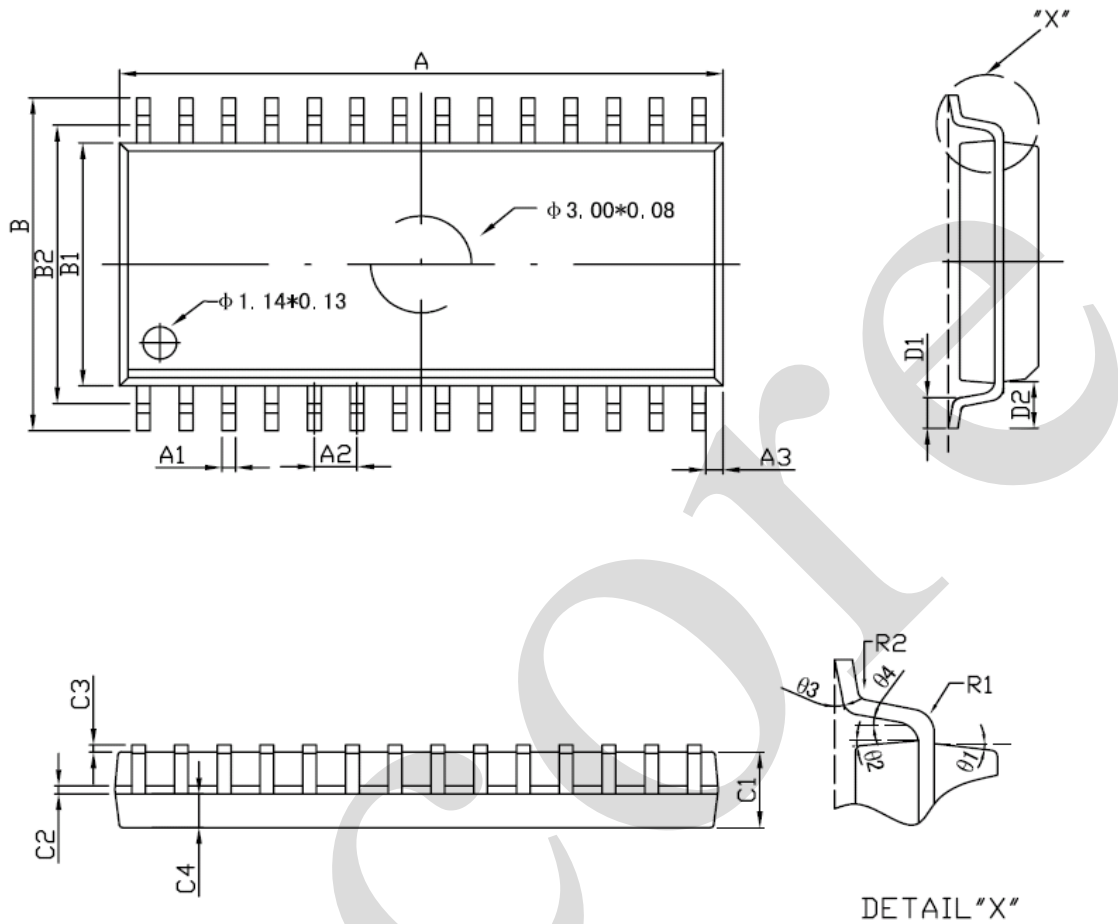
Z : Zero bit





## 6、封装尺寸与外形图

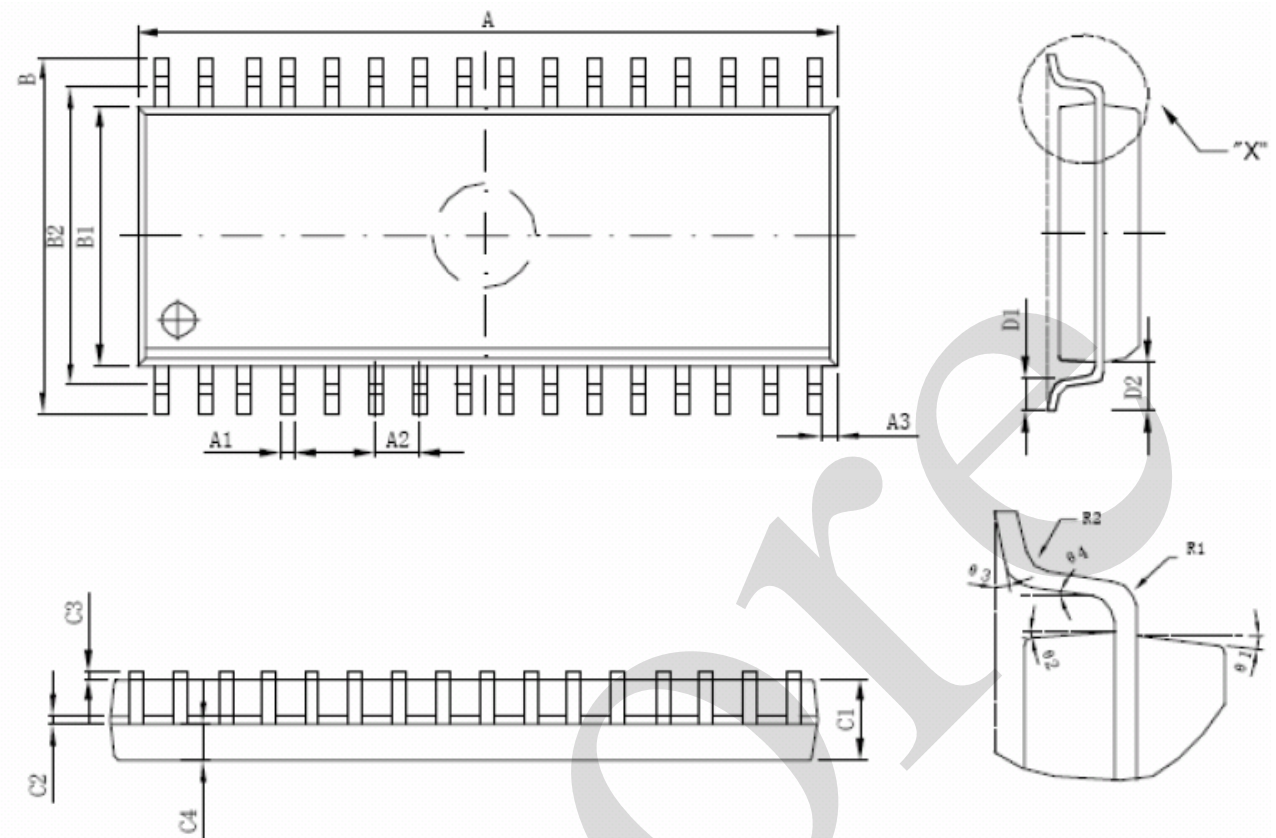
### 6.1、SOP28 外形图与封装尺寸



尺寸 标注	最小 (mm)	最大 (mm)	尺寸 标注	最小 (mm)	最大 (mm)
A	17.83	18.03	C4	1.043TYP	
A1	0.4064TYP		D1	0.70	0.90
A2	1.27TYP		D2	1.395TYP	
A3	0.51TYP		R1	0.508TYP	
B	9.90	10.50	R2	0.508TYP	
B1	7.42	7.62	$\theta 1$	7° TYP	
B2	8.9TYP		$\theta 2$	5° TYP	
C1	2.24	2.44	$\theta 3$	4° TYP	
C2	0.204	0.33	$\theta 4$	10° TYP	
C3	0.10	0.25			



6.2、SOP32 外形图与封装尺寸



标注	尺寸	最小 (mm)	最大 (mm)	标注	尺寸	最小 (mm)	最大 (mm)
A		20.88	21.08	C4		0.99TYP	
A1		0.3	0.5	D1		0.55	0.95
A2		1.27TYP		D2		1.45	
A3		0.77TYP		R1			
B		10.2	10.6	R2			
B1		7.42	7.62	θ1		8°TYP	
B2		8.9TYP		θ2		15°TYP	
C1		2.14	2.34	θ3		4°TYP	
C2		0.2	0.32	θ4		14°TYP	
C3		0.10	0.25				



## 7、声明及注意事项:

### 7.1、产品中有毒有害物质或元素的名称及含量

部件名称	有毒有害物质或元素					
	铅 (Pb)	汞 (Hg)	镉 (Cd)	六价铬 (Cr(VI))	多溴联苯 (PBBs)	多溴联苯醚 (PBDEs)
引线框	○	○	○	○	○	○
塑封树脂	○	○	○	○	○	○
芯片	○	○	○	○	○	○
内引线	○	○	○	○	○	○
装片胶	○	○	○	○	○	○
说明	○: 表示该有毒有害物质或元素的含量在 SJ/T11363-2006 标准的检出限以下。 ×: 表示该有毒有害物质或元素的含量超出 SJ/T11363-2006 标准的限量要求。					

### 7.2 注意

在使用本产品之前建议仔细阅读本资料;  
 本资料中的信息如有变化, 恕不另行通知;  
 本资料仅供参考, 本公司不承担任何由此而引起的任何损失;  
 本公司也不承担任何在使用过程中引起的侵犯第三方专利或其它权利的责任。

## 8、联系方式:

无锡中微爱芯电子有限公司

Wuxi I-CORE Electronics Co., Ltd.

地址: 江苏省无锡市滨湖区建筑西路 777 号无锡国家集成电路设计中心 B4 楼

网址: <http://www.i-core.cn>

销售部: 江苏省无锡市滨湖区建筑西路 777 号无锡国家集成电路设计中心 B4 楼

邮编: 214072 电话: 0510-85572708 传真: 0510-85887721

深圳分公司: 广东省深圳市宝安区西乡银田路智谷科技园 C 栋 501-508

邮编: 518000 电话: 0755-88370507 传真: 0755-88370507

顺德办事处: 广东省佛山市顺德区大良延年路顺德雅居乐花园 35 座 1 梯 1005-1006

邮编: 528399 电话: 18688498366

技术支持: 手机: 13631505987/13823745011

市场应用部: 江苏省无锡市滨湖区建筑西路 777 号无锡国家集成电路设计中心 B4 楼

邮编: 214072 传真: 0510-85572700

广东省深圳市宝安区西乡银田路智谷科技园 C 栋 501-508

邮编: 518000 传真: 0755-88370507